

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-172504

(43)Date of publication of application : 23.06.2000

(51)Int.Cl.

G06F 9/38

(21)Application number : 10-343145

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 02.12.1998

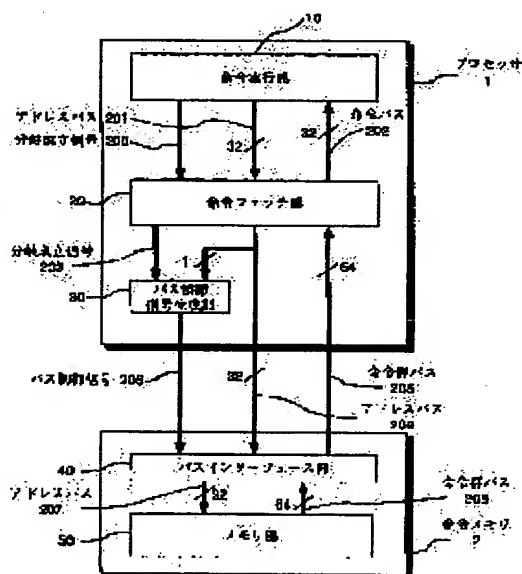
(72)Inventor : TANAKA TETSUYA  
HIGAKI NOBUO  
MIYAJI SHINYA  
SUZUKI MASATO

## (54) INSTRUCTION FETCHING METHOD FOR PROCESSOR

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce power consumed in a bus by including a holding step for selectively holding only a part corresponding to a branching destination instruction and an instruction executed after the branching destination instruction in an instruction group including the branching destination instruction in the case of detecting a branching instruction.

**SOLUTION:** This method is provided with a step for detecting that branching is established by instruction execution in a processor and the holding step for selectively holding only the part corresponding to the branching destination instruction and the instruction executed after the branching destination instruction in the instruction group including the branching destination instruction in the case of detecting the branching instruction. For instance, in a processor system, in the case that the instruction execution part 10 of the processor 1 executes the branching instruction and the branching is established, '1' is outputted to branching establishing signals 200 and a branching destination address is outputted to an address bus 201. Also, in the case of executing the instruction other than the branching instruction or in the case that the branching is not established, '0' is outputted to the branching establishing signals 200.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-172504

(P 2 0 0 0 - 1 7 2 5 0 4 A)

(43) 公開日 平成12年6月23日 (2000. 6. 23)

(51) Int. Cl. <sup>7</sup>	識別記号	F I		テーマコード (参考)
G06F 9/38	330	G06F 9/38	330	F 5B013
	310		310	A

審査請求 未請求 請求項の数 3 O L (全10頁)

(21) 出願番号 特願平10-343145

(22) 出願日 平成10年12月2日 (1998. 12. 2)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 田中 哲也

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 檜垣 信生

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100076174

弁理士 宮井 暎夫

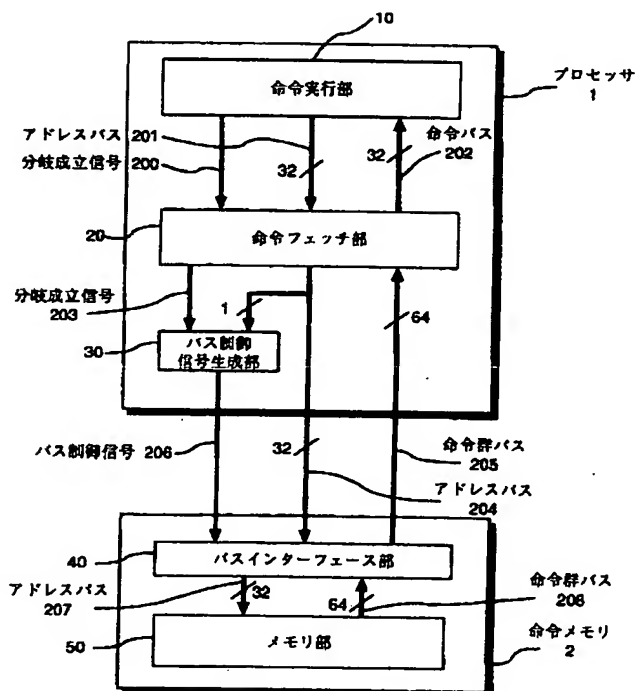
最終頁に続く

(54) 【発明の名称】 プロセッサの命令フェッチ方法

(57) 【要約】

【課題】 命令フェッチを行う場合、複数の命令からなる命令群を読み出し単位としている。プロセッサで分岐成立の場合、分岐先命令が命令群の先頭でない場合、命令群に実行されない命令を含んでしまう。命令群がバスなどで転送される場合、実行されない命令に対してもバスを動作させ電力が消費される。

【解決手段】 本発明は、複数の命令からなる命令群を読み出し単位とし、記憶装置より読み出した命令群をバスを用いてプロセッサに転送する転送ステップと、プロセッサでの命令実行により分岐が成立したことを検出する分岐検出ステップと、転送ステップにより転送する命令群に分岐先命令を含むことが分岐検出ステップにより判明した場合は転送ステップにおいてバスの分岐先命令とこの分岐先命令以降に実行される命令とに対応する部分のみ選択的に動作させるバス制御ステップとを備え、バスの消費する電力を低減する。



## 【特許請求の範囲】

【請求項1】 複数の命令からなる命令群を読み出し単位としたプロセッサの命令フェッチ方法であって、プロセッサでの命令実行により分岐が成立したことを検出する分岐検出ステップと、

この分岐検出ステップにより分岐命令が検出された場合に、分岐先命令を含む命令群において、前記分岐先命令とこの分岐先命令以降に実行される命令とに対応する部分のみ選択的に保持する命令保持ステップとを含むプロセッサの命令フェッチ方法。

【請求項2】 複数の命令からなる命令群を読み出し単位とし、記憶装置より読み出した命令群をバスを用いてプロセッサに転送する転送ステップと、前記プロセッサでの命令実行により分岐が成立したことを検出する分岐検出ステップと、前記転送ステップにより転送する前記命令群に分岐先命令を含むことが前記分岐検出ステップにより判明した場合は前記転送ステップにおいてバスの前記分岐先命令とこの分岐先命令以降に実行される命令とに対応する部分のみ選択的に動作させるバス制御ステップとを含むプロセッサの命令フェッチ方法。

【請求項3】 バス制御ステップが、バスに出力した値を保持する保持ステップと、バスを動作させない場合に前記保持ステップにより保持した最後の出力値を出力するステップである請求項2記載のプロセッサの命令フェッチ方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、プロセッサの命令フェッチ方法に関し、特に複数の命令からなる命令群をフェッチ単位として命令をフェッチするプロセッサの命令フェッチ方法に関する。

## 【0002】

【従来の技術】近年のマイクロプロセッサの演算性能の高速化に伴い、命令およびデータの供給速度の向上も望まれている。命令の場合は複数の命令からなる命令群を読み出し単位として複数命令を一度にフェッチする。これにより単位時間あたりの命令供給量を増やしている。命令は基本的に連続したアドレス順で使用されるため複数の命令を一度にフェッチしても次々に使用される場合が多い。また、可変長命令体系をとるプロセッサにおいては、命令フェッチ時には命令の境界が分からないために一度に複数の命令をフェッチすることは至極当然に行われている。

【0003】プロセッサで分岐が生じた場合はそれまでの命令群を破棄し、分岐先の命令を含む新たな命令群を読み出し、分岐先命令から順にプロセッサに供給する。

【0004】一方、プロセッサは命令を格納したメモリとバスを介して接続される場合がある。このような構成では命令はメモリから読み出され、バスを介してプロセッサに転送される。バス（特にチップ間のバス）は命令

群を転送するために駆動され、場合によりバス上の値が遷移し電力を消費する。

## 【0005】

【発明が解決しようとする課題】しかしながら、上記のように命令群で命令フェッチする場合、プロセッサで分岐成立時の分岐先アドレスが必ずしも命令群の先頭の命令のアドレスであるとは限らない。

【0006】このような場合プロセッサは、分岐先命令以降の命令を順次実行して行くので、命令群の先頭から分岐先命令の直前までの命令は実行されることがない。すなわち無効な命令を含んでいる。

【0007】メモリから読み出した命令群はバスを介してプロセッサに転送され、電力を消費するが、上記した分岐時は命令群の一部が無効な命令であり、無効な命令を転送するためにバスが駆動され、それによりバス上の値が遷移し電力を消費する。したがって、この消費電力が無駄なものであるという課題を有している。

【0008】そこで、本発明は、かかる問題点に鑑みてなされたものであり、分岐成立および分岐先アドレスの解析により命令群の一部が無効な命令であることを検出した場合は、バスで消費される電力を低減する命令フェッチ方法を提供することを目的とする。

## 【0009】

【課題を解決するための手段】請求項1記載のプロセッサの命令フェッチ方法は、複数の命令からなる命令群を読み出し単位としたプロセッサの命令フェッチ方法であって、プロセッサでの命令実行により分岐が成立したことを検出する分岐検出ステップと、この分岐検出ステップにより分岐命令が検出された場合に、分岐先命令を含む命令群において、前記分岐先命令とこの分岐先命令以降に実行される命令とに対応する部分のみ選択的に保持する命令保持ステップとを含むものである。

【0010】請求項1記載のプロセッサの命令フェッチ方法によれば、分岐成立により上記した無効な命令の生じた命令群の転送時に、無効な命令に対するバスの動作が行われないので、バスが消費する電力を低減できる。

【0011】請求項2記載のプロセッサの命令フェッチ方法は、複数の命令からなる命令群を読み出し単位とし、記憶装置より読み出した命令群をバスを用いてプロセッサに転送する転送ステップと、プロセッサでの命令実行により分岐が成立したことを検出する分岐検出ステップと、転送ステップにより転送する命令群に分岐先命令を含むことが分岐検出ステップにより判明した場合は、転送ステップにおいてバスの分岐先命令とこの分岐先命令以降に実行される命令とに対応する部分のみ選択的に動作させるバス制御ステップとを含むものである。

【0012】請求項2記載のプロセッサの命令フェッチ方法によれば、請求項1と同様な効果がある。

【0013】請求項3記載のプロセッサの命令フェッチ方法は、請求項2において、バス制御ステップが、バス

に出力した値を保持する保持ステップと、バスを動作させない場合に保持ステップにより保持した最後の出力値を出力するステップである。

【0014】請求項3記載のプロセッサの命令フェッチ方法によれば、請求項2と同様な効果がある。

【0015】

【発明の実施の形態】以下、本発明に係る命令フェッチ方法を用いたプロセッサシステムの第一および第二の実施の形態について、図面を用いて詳細に説明する。

【0016】まず、命令群について説明する。図2に本発明の第一および第二の実施の形態の命令群の構成図を示す。本実施の形態のプロセッサの命令は32ビット固定長であり、この命令を2個用いて64ビット長の命令群が構成される。命令群はアドレスの小さい方が命令0で、アドレスの大きい方が命令1であるとし、それぞれ命令0フィールド、命令1フィールドと称する。

【0017】次に、命令アドレスについて説明する。図3に本発明の第一および第二の実施の形態の命令アドレスの概念図を示す。命令アドレスは32ビット長であり、フィールド0、フィールド1、フィールド2からなる。フィールド0は29ビット長であり、フィールド1およびフィールド2を0にすることで命令群のアドレスを表す。フィールド1は1ビット長であり、命令の命令群内の位置を表す。フィールド1の値が0の場合は命令0のアドレスを表し、1の場合は命令1のアドレスを表す。フィールド2は常に0である。これは命令が32ビット（4バイト）であることによる。

【0018】本発明の第一の実施の形態を適用したプロセッサシステムの構成について図1、図4から図6により説明する。図1は本発明の第一の実施の形態におけるプロセッサシステムのハードウェア構成を示すブロック図である。本システムは大きく、プロセッサ1、命令メモリ2からなっており、それぞれ異なるチップで実現され、バスで接続されているものとする。

【0019】プロセッサ1は命令実行部10、命令フェッチ部20、バス制御信号生成部30で構成される。

【0020】命令実行部10は通常のプロセッサの命令実行部が備える構成と機能を備え、プログラムにしたがって順次命令を実行する。分岐命令を実行しかつ分岐成立の場合は分岐成立信号200に1を出力し、アドレスバス201に分岐先アドレスを出力する。分岐命令以外の命令を実行した場合分岐不成立の場合は分岐成立信号200に0を出力する。

【0021】図4は、本発明の第一の実施の形態における命令フェッチ部20の構成を示すブロック図である。100はフェッチしようとする命令群のアドレスを保持するためのレジスタであり、101は現在の命令群アドレスから次の命令群アドレスを得るための加算器であり、入力されたアドレスの下位3ビット（フィールド1およびフィールド2）を0にマスクしたのち、8を加算

する。102はアドレスバス201の分岐先アドレスと命令群アドレスレジスタ100の出力とのいずれかを選択しアドレスバス204に出力するマルチプレクサであり、分岐成立信号200により選択される。また、分岐成立信号200は分岐成立信号203としてそのまま出力される。103は命令群バス205の命令0フィールドで送られて来た命令を保持するための命令レジスタであり、同様に104は命令群バス205の命令1フィールドで送られて来た命令を保持するための命令レジスタである。105は命令レジスタ103または104のいずれかの出力を選択し命令バス202に出力するマルチプレクサである。106は分岐成立信号200とアドレスバス204のフィールド1とを否定論理積しラッチ制御信号107を生成するナンドゲートであり、107は命令レジスタ103に対し、命令群バス205の上位32ビットを保持するか、その時点の値を継続して保持するかを制御するラッチ制御信号である。

【0022】図1に戻って、バス制御信号生成部30は分岐成立信号203とアドレスバス204のフィールド1の値により、バス制御信号206を生成する。

【0023】図5は、バス制御信号生成部30の構成を示すブロック図である。120は分岐成立信号203とアドレスバス204上のアドレスのフィールド1との二つの入力信号を論理積し、バス制御信号206を生成するアンドゲートである。アンドゲート120により、分岐成立信号200が1であり、分岐先アドレスのフィールド1が1の場合、すなわち分岐成立であり、分岐先命令が命令群の命令1である場合にバス制御信号206が1になる。それ以外の場合は0になる。

【0024】図1に戻って、命令メモリ2はバスインターフェース部40とメモリ部50で構成される。

【0025】図6は、バスインターフェース部40の構成を示すブロック図である。130はアドレスバス204の下位3ビットを0にマスクするマスク回路であり、命令フェッチ装置20でアドレスバス204に分岐先アドレスがそのまま出力された場合（フィールド1が1の場合がある）に命令群アドレス（フィールド1とフィールド2が0）に変換される。131はバス制御信号206により、命令群バス208の命令0フィールドにある命令を命令群バス205の命令0フィールドに出力するか、ハイインピーダンスを出力するかを選択するトライステートバッファである。命令群バス208の命令1フィールドはそのまま命令群バス205の命令1フィールドに出力される。

【0026】図1に戻って、バスインターフェース部40はアドレスバス204の命令群アドレスをアドレスバス207に出力する。メモリ部50ではアドレスバス207の命令群アドレスを用いて対応する命令群を読み出し命令群バス208に出力する。バスインターフェース部40では命令群バス208の命令群を命令群バス20

5に出力する。その際、バス制御信号206が0の場合は命令群バス208の命令0フィールドは命令群バス205の命令0フィールドに出力され、バス制御信号206が1の場合は命令群バス205の命令0フィールドにはハイインピーダンスが出力される。命令群バス208の命令1フィールドは命令群バス205の命令1フィールドにそのまま出力される。つまり、バス制御信号206が1の場合、命令群バス205の命令0フィールドに対応する部分はバス上の値が遷移しないので電力を消費しない。

【0027】以下図1～6を用いて動作を説明する。

(1) 命令実行部10が分岐成立信号200に0を出力している場合(分岐命令でないか分岐不成立か)、アドレスバス204には命令群アドレスレジスタ100に保持されているアドレスが出力される。分岐成立信号203は分岐成立信号200と同じなので0となる。また、ナンドゲート106の二つの入力とはともに0であるので、ラッチ制御信号107は1となる。

【0028】バス制御信号生成部30では分岐成立信号203が0なのでバス制御信号206に0を出力する。

【0029】バスインターフェース部40ではアドレスバス204の下位3ビットを0にしアドレスバス207に出力する。

【0030】メモリ部50ではアドレスバス207の命令群アドレスに対応する命令群を読み出し命令群バス208に出力する。

【0031】バスインターフェース部40では、バス制御信号206が0なので、トライステートバッファ131により、命令群バス208の命令0フィールドが命令群バス205の命令0フィールドに出力される。命令群バス208の命令1フィールドも同様に命令群バス205の命令1フィールドに出力される。

【0032】命令フェッチ部20ではラッチ制御信号107が1であるので、命令群バス205の命令0フィールドが命令レジスタ103に保持される。命令群バス205の命令1フィールドは命令レジスタ104に常に保持される。分岐成立信号200が0なので命令レジスタ103および命令レジスタ104は有効な命令である。したがって、マルチプレクサ105を用いて、命令レジスタ103の命令、命令レジスタ104の命令を順次命令バス202に出力する。命令バス202に出力された命令は命令実行部10で順次実行される。

【0033】アドレスバス204に出力されたアドレスは加算器101により、下位3ビットを0にした値に8が加えられ次の命令群のアドレスとして命令群アドレスレジスタ100に保持される。

(2) 命令実行部10が分岐成立信号200に1を出力している場合(分岐命令でかつ分岐成立)、命令実行部10はアドレスバス201に分岐先アドレスを出力する。このとき分岐先アドレスのフィールド1が0の場合

(すなわち命令0フィールドの命令への分岐命令の場合)、アドレスバス204にはアドレスバス201のアドレスが出力される。分岐成立信号203は分岐成立信号200と同じなので1となる。また、ナンドゲート106の入力うち、アドレスバス201のフィールド1が0であるので、ラッチ制御信号107は1となる。

【0034】バス制御信号生成部30では分岐成立信号203が1であるが、アドレスバス204のフィールド1が0なのでバス制御信号206に0を出力する。

10 【0035】バスインターフェース部40ではアドレスバス204の下位3ビットを0にしアドレスバス207に出力する。

【0036】メモリ部50ではアドレスバス207の命令群アドレスに対応する命令群を読み出し命令群バス208に出力する。

【0037】バスインターフェース部40では、バス制御信号206が0なので、トライステートバッファ131により、命令群バス208の命令0フィールドが命令群バス205の命令0フィールドに出力される。命令群バス208の命令1フィールドも同様に命令群バス205の命令1フィールドに出力される。

【0038】命令フェッチ部20ではラッチ制御信号107が1であるので、命令群バス205の命令0フィールドが命令レジスタ103に保持される。命令群バス205の命令1フィールドは命令レジスタ104に常に保持される。分岐成立信号200は1であるが、アドレスバス201のフィールド1は0なので命令レジスタ103および命令レジスタ104は有効な命令である。したがって、マルチプレクサ105を用いて、命令レジスタ103、命令レジスタ104に格納された命令を順次命令バス202に出力する。命令バス202に出力された命令は命令実行部10で順次実行される。

【0039】アドレスバス204に出力されたアドレスは加算器101により、下位3ビットを0にした値に8が加えられ次の命令群のアドレスとして命令群アドレスレジスタ100に保持される。

(3) 命令実行部10が分岐成立信号200に1を出力している場合で、分岐先アドレスのフィールド1が1の場合(すなわち命令1への分岐命令の場合)、アドレスバス204にはアドレスバス201のアドレスが出力される。分岐成立信号203は分岐成立信号200と同じなので1となる。また、ナンドゲート106の入力は二つとも1であるので、ラッチ制御信号107は0となる。

【0040】バス制御信号生成部30では分岐成立信号203が1であり、アドレスバス204のフィールド1が1なのでバス制御信号206に1を出力する。

【0041】バスインターフェース部40ではアドレスバス204の下位3ビットを0にしアドレスバス207に出力する。

【0042】メモリ部50ではアドレスバス207の命令群アドレスに対応する命令群を読み出し命令群バス208に出力する。

【0043】バスインターフェース部40では、バス制御信号206が1であるので、トライステートバッファ131により、ハイインピーダンスが命令群バス205の命令0フィールドに出力される。このときの命令群バス205の命令0フィールドにはそれまでの値を保持しており、バスの値が遷移することによる電力消費がない。一方、命令群205の命令1フィールドに当たる部分10は命令群バス208の命令1フィールドが命令群バス205にそのまま出力される。

【0044】命令フェッチ部20ではラッチ制御信号107が0であるので、命令群バス205の命令0フィールド（命令0フィールド上の命令は無効な命令であって、命令1フィールドとともにメモリ部50から読み出されるものではない）は命令レジスタ103に保持されない。命令群バス205の命令1フィールドの命令は命令レジスタ104に常に保持される。

【0045】分岐成立信号200が1でアドレスバス201の分岐先アドレスのフィールド1が1なので命令レジスタ103の命令は無効であるので、マルチプレクサ105を用いて、命令レジスタ104の命令のみを命令バス202に出力する。命令バス202に出力された命令は命令実行部10で実行される。命令レジスタ103の命令は使用されることなく破棄される。

【0046】アドレスバス204に出力されたアドレスは加算器101により、下位3ビットを0にした値に8が加えられ次の命令群のアドレスとして命令群アドレスレジスタ100に保持される。

【0047】以上、本発明に係る命令フェッチ方法は、複数の命令からなる命令群を読み出し単位とし、プロセッサでの命令実行により分岐が成立したことを検出する分岐検出ステップと、この分岐検出ステップにより分岐命令が検出された場合分岐先命令を含む命令群において、分岐先命令とこの分岐先命令以降に実行される命令とに対応する部分のみ選択的に保持する命令保持ステップを含むものである。

【0048】そしてより具体的には、複数の命令からなる命令群を読み出し単位とし、記憶装置より読み出した命令群をバスを用いてプロセッサに転送する転送ステップと、プロセッサでの命令実行により分岐が成立したことを検出する分岐検出ステップと、転送ステップにより転送する命令群に分岐先命令を含むことが分岐検出ステップにより判明した場合は転送ステップにおいてバスの分岐先命令とこの分岐先命令以降に実行される命令とに対応する部分のみ選択的に動作させるバス制御ステップを含む。

【0049】したがって、この命令フェッチ方法を用いたプロセッサシステムでは、命令実行で分岐が成立した

場合でかつ分岐先が命令群の命令1フィールドであった場合、命令群バス205の命令0フィールドにあたる部分をハイインピーダンスすることで、値を変化させることなく有効な命令のみを命令メモリ2からプロセッサ1に転送することができる。命令群バス205の命令フィールド0に対応する部分は値が変化しないので、その分の電力消費を少なくすることができるという特有の効果をも有する。

【0050】特に、命令群バス205がプロセッサチップとメモリチップを接続するチップ間のバスであった場合、ボード上の配線およびチップのピンが負荷となっているため値が変化するたびに大きな電力を消費する。本発明はこのような場合より効果が高くなる。

【0051】一方、命令群バス205の命令0フィールドがハイインピーダンスの場合は、自然放電により中間電位になることがあり、命令群バス205の命令0フィールドを入力としている命令レジスタ103では、貫通電流が流れる可能性があるが、命令レジスタ103はラッチ制御信号107によりラッチ動作を行わないため貫通電流が流れることはない。

【0052】また、本発明を第一の実施の形態に基づいて説明したが、本発明はこの第一の実施の形態に限られないことは勿論である。即ち、

(1) 上記第一の実施の形態では、32ビット固定長の命令や64ビットの命令群、32ビットの命令アドレスを用いたが、本発明はこれらのビット数に限定されるものではないし、可変長の命令であってもよい。

(2) 上記の実施の形態における分岐成立は、割り込みなどの命令実行以外の要因で生じた場合でも同様である。

(3) 上記の実施の形態における命令実行部10は1命令発行を想定しているが、本発明はこれらの発行数に限定されるものではなく、例えば、命令レジスタ103と命令レジスタ104とに保持される2命令を同時に実行するようにしてもよい。

(4) 上記実施の形態におけるプロセッサ1と命令メモリ2は別々のチップとしているが、オンチップの形態をとってもよい。

(5) 上記実施の形態における命令群は2命令で構成されているが、本発明は命令数に限定されるものではない。命令群を構成する命令数がN個である場合、図3に示したアドレスのフィールド1のビット数は $\log_2$

(N) ビット以上必要になる。その場合、バス制御信号生成部22に入力されるアドレスバス204のフィールド1のビット数は $\log_2$  (N) ビット以上となり、バス制御信号206も1ビットではなくなる。

【0053】以下、本発明に係る命令フェッチ方法を用いたプロセッサシステムの第二の実施の形態について、図1、図7から図9を用いて詳細に説明する。命令群、命令アドレスは第一の実施の形態と同じものを用いる。

本プロセッサシステムの構成について説明するが、本発明の第二の実施の形態におけるプロセッサシステムの構成図は第一の実施の形態と同じなので、図1を用いる。

【0054】図1は、本発明の第二の実施の形態におけるプロセッサシステムのハードウェア構成を示すブロック図である。本システムは大きく、プロセッサ1、命令メモリ2からなっており、それぞれ異なるチップで実現され、バスで接続されているものとする。

【0055】プロセッサ1は命令実行部10、命令フェッチ部20、バス制御信号生成部30で構成される。

【0056】命令実行部10は通常のプロセッサの命令実行部が備える構成と機能を備え、プログラムにしたがって順次命令を実行する。分岐命令を実行しかつ分岐成立の場合は分岐成立信号200に1を出力し、アドレスバス201に分岐先アドレスを出力する。分岐命令以外の命令を実行した場合分岐不成立の場合は分岐成立信号200に0を出力する。

【0057】図7は、本発明の第二の実施形態における命令フェッチ部20の構成を示すブロック図である。100はフェッチしようとする命令群のアドレスを保持するためのレジスタであり、101は現在の命令群アドレスから次の命令群アドレスを得るための加算器であり、入力されたアドレスの下位3ビット（フィールド1およびフィールド2）を0にマスクしたのち、8を加算する。102はアドレスバス201の分岐先アドレスと命令群アドレスレジスタ100の出力とのいずれかを選択しアドレスバス204に出力するマルチプレクサであり、分岐成立信号200により選択される。また、分岐成立信号200は分岐成立信号203としてそのまま出力される。103は命令群バス205の命令0フィールドで送られて来た命令を保持するための命令レジスタであり、同様に104は命令群バス205の命令1フィールドで送られて来た命令を保持するための命令レジスタである。105は命令レジスタ103または104のいずれかの出力を選択し命令バス202に出力するマルチプレクサである。

【0058】図1に戻って、バス制御信号生成部30は分岐成立信号203とアドレスバス204のフィールド1の値により、バス制御信号206を生成する。

【0059】図8は、バス制御信号生成部30の構成を示すブロック図である。120は分岐成立信号203とアドレスバス204上のアドレスのフィールド1との二つの入力信号を論理積し、バス制御信号206を生成するアンドゲートである。アンドゲート120により、分岐成立信号200が1であり、分岐先アドレスのフィールド1が1の場合、すなわち分岐成立であり、分岐先命令が命令群の命令1である場合にバス制御信号206が1になる。それ以外の場合は0になる。

【0060】図1に戻って、命令メモリ2はバスインターフェース部40とメモリ部50で構成される。

【0061】図9は、バスインターフェース部40の構成を示すブロック図である。130はアドレスバス204の下位3ビットを0にマスクするマスク回路であり、命令フェッチ装置20でアドレスバス204に分岐先アドレスがそのまま出力された場合（フィールド1が1の場合がある）に命令群アドレス（フィールド1とフィールド2が0）に変換される。132は前回命令群バス205に出力された命令群の命令0フィールドの命令を保持しておくためのレジスタであり、133は命令群バス208の命令0フィールドの命令とレジスタ132に保持された前回の命令バス205の命令0フィールドの命令とのいずれかを選択し命令群バス205の命令0フィールドに出力するマルチプレクサである。バス制御信号206が0の場合は命令群バス208の命令0フィールドの命令を選択し、1の場合はレジスタ131に保持された命令を選択する。命令群バス208の命令1フィールドの命令はそのまま命令群バス205の命令1フィールドに出力される。

【0062】図1に戻って、バスインターフェース部40はアドレスバス204の命令群アドレスをアドレスバス207に出力する。メモリ部50ではアドレスバス207の命令群アドレスを用いて対応する命令群を読み出し命令群バス208に出力する。バスインターフェース部40では命令群バス208の命令群を命令群バス205に出力する。その際、バス制御信号206が0の場合は命令群バス208の命令0フィールドは命令群バス205の命令0フィールドに出力され、バス制御信号206が1の場合はレジスタ131に保持されている前回の命令群バス205の命令0フィールドの命令が出力される。命令群バス208の命令1フィールドは命令群バス205の命令1フィールドにそのまま出力される。すなわち、バス制御信号206が1の場合、命令群バス205の命令0フィールドに対応する部分はバス上の値が前回から変化しない。そのため、電力を消費しない。

【0063】以下図1～3および図7～9を用いて動作を説明する。

(1) 命令実行部10が分岐成立信号200に0を出力している場合（分岐命令でないか分岐不成立か）、アドレスバス204には命令群アドレスレジスタ100に保持されているアドレスが出力される。分岐成立信号203は分岐成立信号200と同じなので0となる。

【0064】バス制御信号生成部30では分岐成立信号203が0なのでバス制御信号206に0を出力する。

【0065】バスインターフェース部40ではアドレスバス204の下位3ビットを0にしアドレスバス207に出力する。

【0066】メモリ部50ではアドレスバス207の命令群アドレスに対応する命令群を読み出し命令群バス208に出力する。

【0067】バスインターフェース部40では、バス制



御信号206が0なので、命令群バス208の命令0フィールドがマルチプレクサ133で選択され命令群バス205の命令0フィールドに出力される。命令群バス208の命令1フィールドも同様に命令群バス205の命令1フィールドに出力される。

【0068】命令フェッチ部20では命令群バス205の命令0フィールドの命令が命令レジスタ103に保持され、命令群バス205の命令1フィールドの命令が命令レジスタ104に保持される。分岐成立信号200が0なので命令レジスタ103および命令レジスタ104は有効な命令である。したがって、マルチプレクサ105を用いて、命令レジスタ103の命令、命令レジスタ104の命令を順次命令バス202に出力する。命令バス202に出力された命令は命令実行部10で順次実行される。

【0069】アドレスバス204に出力されたアドレスは加算器101により、下位3ビットを0にした値に8が加えられ次の命令群のアドレスとして命令群アドレスレジスタ100に保持される。

(2) 命令実行部10が分岐成立信号200に1を出力している場合(分岐命令でかつ分岐成立)、命令実行部10はアドレスバス201に分岐先アドレスを出力する。このとき分岐先アドレスのフィールド1が0の場合(すなわち命令0フィールドの命令への分岐命令の場合)、アドレスバス204にはアドレスバス201の内容が出力される。分岐成立信号203は分岐成立信号200と同じなので1となる。

【0070】バス制御信号生成部30では分岐成立信号203が1であるが、アドレスバス204のフィールド1が0なのでバス制御信号206に0を出力する。

【0071】バスインターフェース部40ではアドレスバス204の下位3ビットを0にしアドレスバス207に出力する。

【0072】メモリ部50ではアドレスバス207の命令群アドレスに対応する命令群を読み出し命令群バス208に出力する。

【0073】バスインターフェース部40では、バス制御信号206が0なので、命令群バス208の命令0フィールドの命令がマルチプレクサ133で選択され命令群バス205の命令0フィールドに出力される。命令群バス208の命令1フィールドも同様に命令群バス205の命令1フィールドに出力される。

【0074】命令フェッチ部20では命令群バス205の命令0フィールドの命令が命令レジスタ103に保持され、命令群バス205の命令1フィールドの命令が命令レジスタ104に保持される。分岐成立信号200は1であるが、アドレスバス201のフィールド1は0なので命令レジスタ103の命令および命令レジスタ104の命令は有効な命令である。したがって、マルチプレクサ105を用いて、命令レジスタ103の命令、命令

レジスタ104の命令を順次命令バス202に出力する。命令バス202に出力された命令は命令実行部10で順次実行される。

【0075】アドレスバス204に出力されたアドレスは加算器101により、下位3ビットを0にした値に8が加えられ次の命令群のアドレスとして命令群アドレスレジスタ100に保持される。

(3) 命令実行部10が分岐成立信号200に1を出力している場合で、分岐先アドレスのフィールド1が1の場合(すなわち命令1への分岐命令の場合)、アドレスバス204にはアドレスバス201のアドレスが出力される。分岐成立信号203は分岐成立信号200と同じなので1となる。

【0076】バス制御信号生成部30では分岐成立信号203が1であり、アドレスバス204のフィールド1が1なのでバス制御信号206に1を出力する。

【0077】バスインターフェース部40ではアドレスバス204の下位3ビットを0にしアドレスバス207に出力する。

【0078】メモリ部50ではアドレスバス207の命令群アドレスに対応する命令群を読み出し命令群バス208に出力する。

【0079】バスインターフェース部40では、バス制御信号206が1であるので、レジスタ132に保持された値がマルチプレクサ133で選択され命令群バス205の命令0フィールドに出力される。このときのレジスタ132は前回の命令群バス205の命令0フィールドの命令を保持しているため、命令群バス205の命令0フィールドの値は変化しない。そのため、バスの値が遷移することによる電力消費がない。一方、命令群バス208の命令1フィールドは命令群208の命令1フィールドに出力される。

【0080】命令フェッチ部20では命令群バス205の命令0フィールドの命令(この命令は無効な命令であって、命令1フィールドの命令とともにメモリ部50から読み出される命令ではない)が命令レジスタ103に保持され、命令群バス205の命令1フィールドが命令レジスタ104に保持される。分岐成立信号200が1でアドレスバス201の分岐先アドレスのフィールド1が1なので命令レジスタ103の命令は無効な命令であるので、マルチプレクサ105を用いて、命令レジスタ104の命令のみ命令バス202に出力する。命令バス202に出力された命令は命令実行部10で実行される。命令レジスタ103の命令は使用されることなく破棄される。

【0081】アドレスバス204に出力されたアドレスは加算器101により、下位3ビットを0にした値に8が加えられ次の命令群のアドレスとして命令群アドレスレジスタ100に保持される。

【0082】以上、本発明に係る命令フェッチ方法は、



複数の命令からなる命令群を読み出し単位とし、記憶装置より読み出した命令群をバスを用いてプロセッサに転送する転送ステップと、プロセッサでの命令実行により分岐が成立したことを検出する分岐検出ステップと、転送ステップにより転送する命令群に分岐先命令を含むことが分岐検出ステップにより判明した場合は転送ステップにおいてバスの分岐先命令とこの分岐先命令以降に実行される命令とに対応する部分のみ選択的に動作させるバス制御ステップとを含むものである。そして、バス制御ステップがバスに出力した値を保持する保持ステップと、バスを動作させない場合に前記保持ステップにより保持した最後の出力値を出力するステップを有する。

【0083】したがって、この命令ファッチ方法を用いたプロセッサシステムでは、命令実行で分岐が成立した場合でかつ分岐先が命令群の命令1フィールドであった場合、命令群バス205の命令0フィールドを変化させることなく有効な命令（本実施の形態では命令1）を命令メモリ2からプロセッサ1に転送することができる。命令群バス205の命令0フィールドは転送によって値が変化しないので、その分の電力消費を少なくすることができるといふ特有の効果を有する。

【0084】特に、命令群バス205がプロセッサチップとメモリチップを接続するチップ間のバスであった場合、ボード上の配線およびチップのピンが負荷となっているため値が変化するたびに大きな電力を消費する。本発明はこのような場合より効果が高くなる。

【0085】また、本発明を第二の実施の形態に基づいて説明したが、本発明はこの第二の実施の形態に限られないことは勿論である。即ち、

(1) 上記実施の形態では、32ビット固定長の命令や64ビットの命令群、32ビットの命令アドレスを用いたが、本発明はこれらのビット数に限定されるものではないし、可変長の命令であってもよい。

(2) 上記の実施の形態における分岐成立は、割り込みなどの命令実行以外の要因で生じた場合でも同様である。

(3) 上記の実施の形態における命令実行部10は1命令発行を想定しているが、本発明はこれらの発行数に限定されるものではなく、例えば、命令レジスタ103と命令レジスタ104とに保持される2命令を同時に実行するようにしてもよい。

(4) 上記実施の形態におけるプロセッサ1と命令メモリ2は別々のチップとしているが、オンチップの形態をとってもよい。

(5) 上記実施の形態における命令群は2命令で構成されているが、本発明は命令数に限定されるものではない。命令群を構成する命令数がN個である場合、図3に示したアドレスのフィールド1のビット数は $\log_2$

(N) ビット以上必要になる。その場合、バス制御信号生成部22に入力されるアドレスバス204のフィール

ド1のビット数は $\log_2$  (N) ビット以上となり、バス制御信号206も1ビットではなくなる。

【0086】

【発明の効果】請求項1記載のプロセッサの命令フェッチ方法によれば、分岐成立により上記した無効な命令の生じた命令群の転送時に、無効な命令に対するバスの動作が行われないので、バスが消費する電力を低減できる。

【0087】請求項2記載のプロセッサの命令フェッチ方法によれば、請求項1と同様な効果がある。

【0088】請求項3記載のプロセッサの命令フェッチ方法によれば、請求項2と同様な効果がある。

【図面の簡単な説明】

【図1】本発明の第一および第二の実施の形態における命令フェッチ装置を含むプロセッサシステムのハードウェア構成を示すブロック図である。

【図2】第一および第二の実施の形態におけるプロセッサが用いる命令と命令群の概念図である。

【図3】第一および第二の実施の形態におけるプロセッサが用いる命令のアドレスの構成図である。

【図4】第一の実施の形態における命令フェッチ部20の詳細なハードウェア構成を示すブロック図である。

【図5】第一実施の形態におけるバス制御信号生成部30の詳細なハードウェア構成を示すブロック図である。

【図6】第一実施の形態におけるバスインターフェース部40の詳細なハードウェア構成を示すブロック図である。

【図7】第二の実施の形態における命令フェッチ部20の詳細なハードウェア構成を示すブロック図である。

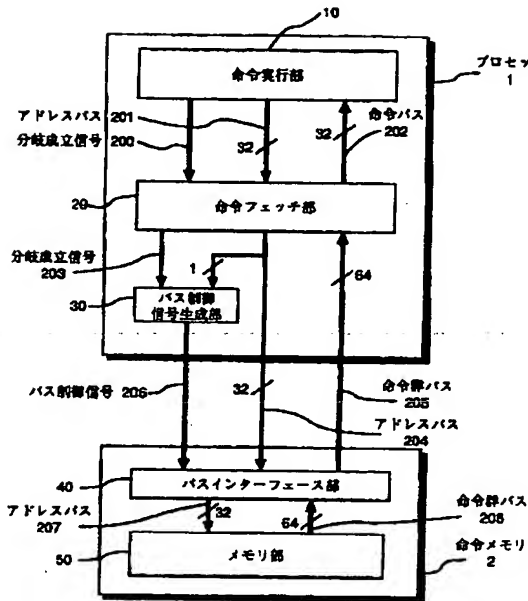
【図8】第二実施の形態におけるバス制御信号生成部30の詳細なハードウェア構成を示すブロック図である。

【図9】第二実施の形態におけるバスインターフェース部40の詳細なハードウェア構成を示すブロック図である。

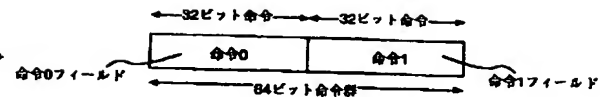
【符号の説明】

1	プロセッサ
2	命令メモリ
10	命令実行部
20	命令フェッチ部
30	バス制御信号生成部
40	バスインターフェース部
50	メモリ部
200	分岐成立信号
201	アドレスバス
202	命令バス
203	分岐成立信号
204	アドレスバス
205	命令群バス
206	バス制御信号
207	アドレスバス

【図1】

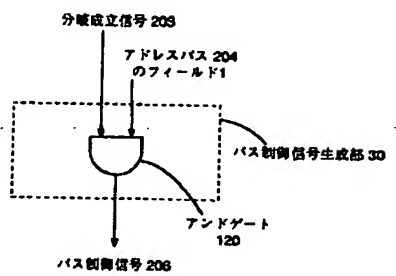
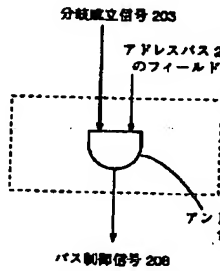


【図2】



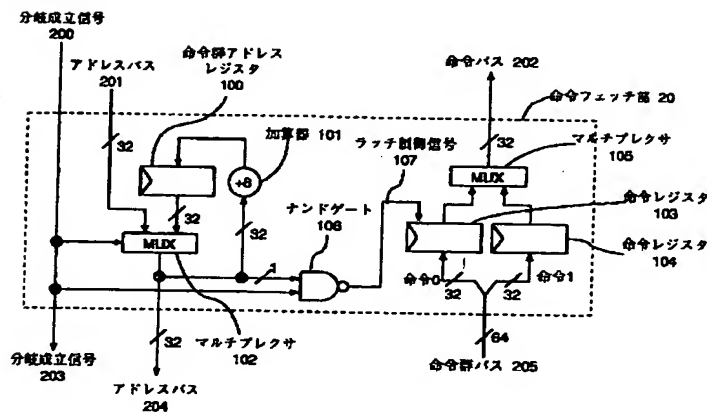
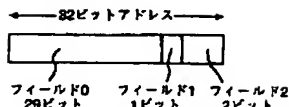
【図5】

【図8】



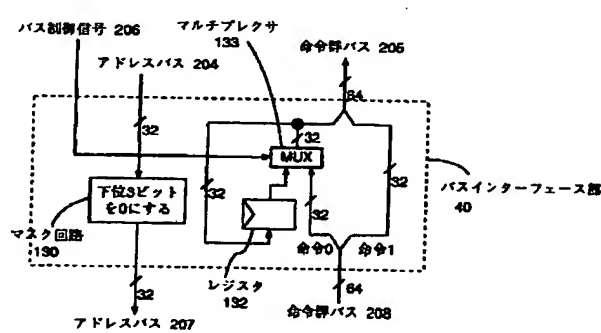
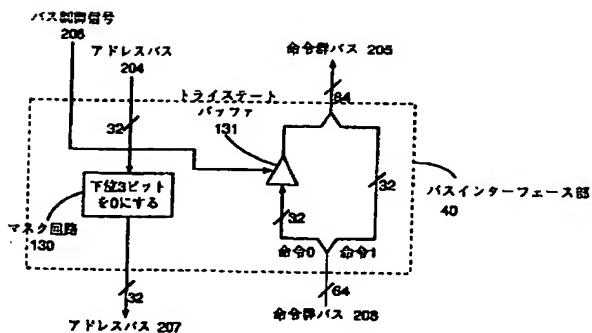
【図3】

【図4】



【図6】

【図9】





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**